

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-270608

(43)Date of publication of application : 20.09.2002

(51)Int.Cl.

H01L 21/3205

(21)Application number : 2001-067165

(71)Applicant : FUJITSU LTD

FUJITSU VLSI LTD

(22)Date of filing : 09.03.2001

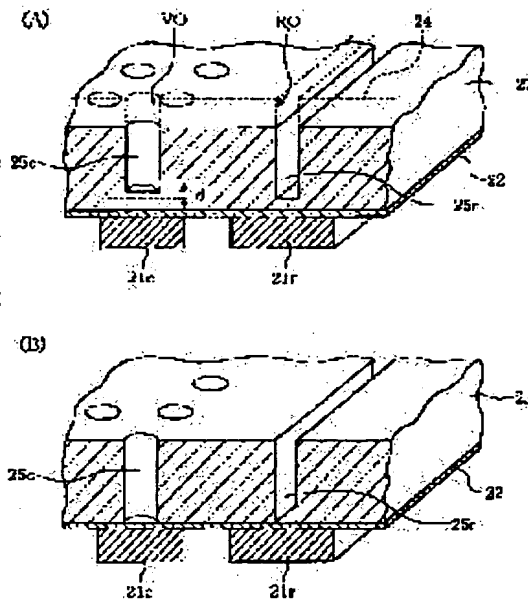
(72)Inventor : KOMADA DAISUKE

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce a reduction in an etching stopper film and to reduce damages to a lower-layer interconnection to a minimum, when a via hole and a moistureproof ring groove are etched.

SOLUTION: The semiconductor integrated-circuit device is provided with a plurality of semiconductor elements, which are formed on the circuit region in the central part of a semiconductor substrate; a plurality of insulating layers which are formed on the semiconductor substrate; a plurality of steps of cavities, for wiring layers, which comprise via holes and wiring pattern grooves formed inside the insulating layers; and a plurality of steps of wiring layers, which comprise via conductors used to embed the via holes and wiring patterns used to embed the wiring pattern grooves, moistureproof grooves as moistureproof grooves constituted in a plurality of steps, corresponding to the plurality of steps of cavities for the wiring layers, in which the width of each moistureproof ring groove corresponding to each via hole is smaller than the minimum diameter of the via hole and conductive moistureproof rings which embed the moistureproof ring grooves.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-270608
(P2002-270608A)

(43) 公開日 平成14年9月20日 (2002.9.20)

(51) Int.Cl.⁷

H 0 1 L 21/3205

識別記号

F I

H 0 1 L 21/88

テーマコード(参考)

S 5 F 0 3 3

審査請求 未請求 請求項の数10 O L (全 19 頁)

(21) 出願番号 特願2001-67165(P2001-67165)

(22) 出願日 平成13年3月9日(2001.3.9)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(71) 出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72) 発明者 駒田 大輔

愛知県春日井市高蔵寺町二丁目1844番2号
富士通ヴィエルエスアイ株式会社内

(74) 代理人 100091340

弁理士 高橋 敬四郎

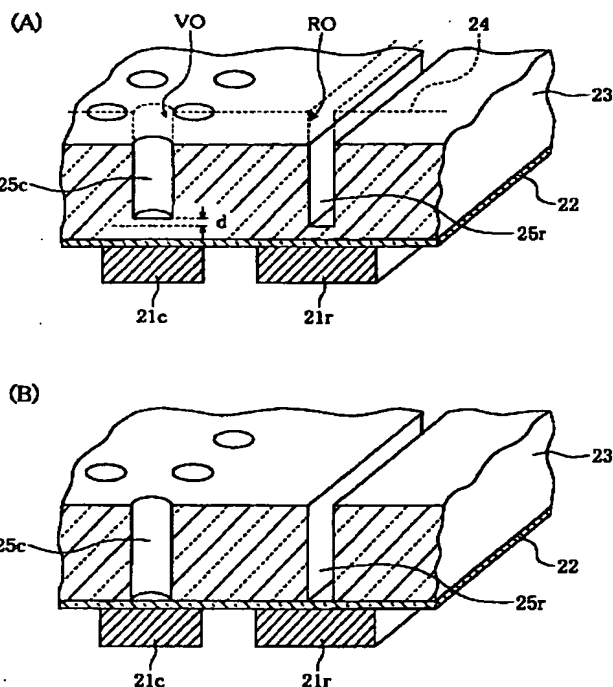
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置とその製造方法

(57) 【要約】

【課題】 ビア孔と耐湿リング溝とのエッチングにおいて、エッチングストップ膜の膜減りを低減し、下層配線へのダメージを最小にする。

【解決手段】 半導体集積回路装置は、半導体基板中央部の回路領域に形成された複数の半導体素子と、半導体基板上に形成された複数の絶縁層と、絶縁層内に形成されたビア孔と配線パターン溝とを有する複数段の配線層用空洞と、ビア孔を埋めるビア導電体と配線パターン溝を埋める配線パターンとを有する複数段の配線層と、回路領域をループ状に取り囲んで、絶縁層を貫通して形成され、複数段の配線層用空洞と対応した複数段構成の耐湿リング溝であって、各ビア孔に対応する耐湿リング溝の幅は該ビア孔の最小径よりも小さい耐湿リング溝と、耐湿リング溝を埋める導電耐湿リングとを有する。



1

【特許請求の範囲】

【請求項 1】 中央部に画定された回路領域と、その周縁部をループ状に取り囲む耐湿リング領域とを有する半導体基板と、

前記回路領域に形成された複数の半導体素子と、
前記半導体基板上に形成された複数の絶縁層と、
前記回路領域上で前記複数の絶縁層内に形成された複数段の配線層用空洞であって、各段の配線層用空洞が下側のビア孔と上側の配線パターン溝とを有する複数段の配線層用空洞と、

前記複数段の配線層用空洞内に形成された複数段の配線層であって、各配線層が前記ビア孔を埋める下側のビア導電体と前記配線パターン溝を埋める上側の配線パターンとを有し、該ビア導電体は異なる配線層の配線パターン間もしくは配線パターンと前記半導体素子との間の電氣的接続を形成する複数段の配線層と、

前記半導体基板の回路領域をループ状に取り囲んで、前記耐湿リング領域の複数の絶縁層を貫通して形成され、前記複数段の配線層用空洞と対応した複数段構成の耐湿リング溝であって、各前記ビア孔に対応する耐湿リング溝の幅は該ビア孔の最小径よりも小さい耐湿リング溝と、

前記ビア導電体および前記配線パターンと同一の層で形成され、前記耐湿リング溝を埋める導電耐湿リングとを有する半導体集積回路装置。

【請求項 2】 前記耐湿リング溝の幅は、対応する前記ビア孔の最小径の 0.7 ～ 0.9 の範囲にある請求項 1 記載の半導体集積回路装置。

【請求項 3】 前記複数の絶縁層は、1 配線層当り複数の絶縁層を含み、各前記ビア孔の最下部を画定する絶縁層は下層の酸化防止および上層のエッチングストップの機能を有する層である請求項 1 または 2 記載の半導体集積回路装置。

【請求項 4】 各前記配線層は、前記配線パターンの最上面を除く表面にバリア層を有するか、前記配線パターンの側面および底面と前記ビア導電体の側面および底面にバリア層を有する請求項 1 ～ 3 のいずれか 1 項に記載の半導体集積回路装置。

【請求項 5】 前記配線パターンおよび前記ビア導電体は、金、銀、白金、銅、アルミニウム、アルミニウム合金、タングステン、タングステン化合物、チタニウム、チタニウム化合物、タンタル、タンタル化合物からなる群から選択された材料で形成されている請求項 1 ～ 4 のいずれか 1 項に記載の半導体集積回路装置。

【請求項 6】 前記回路領域の回路が中央演算装置を構成する請求項 1 ～ 5 のいずれか 1 項記載の半導体集積回路装置。

【請求項 7】 (a) 中央部に画定された回路領域と、前記回路領域をループ状に取り囲む耐湿リング領域とを有する半導体基板の回路領域内に複数の半導体素子を形成

2

する工程と、

(b) 前記複数の半導体素子を覆って前記半導体基板上方にエッチングストップ層と絶縁層をこの順序で形成する工程と、

(c) 前記絶縁層上に、前記回路領域で第 1 の値の最小径を有する複数のビア孔用開口部と、前記耐湿リング領域で前記第 1 の値より小さい第 2 の値の幅を有する、ループ状のリング溝用開口部とを有するレジストパターンを形成する工程と、

10 (d) 前記レジストパターンをマスクとして前記絶縁層をエッチングして、前記エッチングストップ層を露出するビア孔とリング溝を形成する工程と、

(e) 前記レジストパターンを除去する工程と、

(f) 露出しているエッチングストップ層を除去して、前記ビア孔とリング溝とを完成する工程と、

(g) 前記ビア孔とリング溝とを埋め戻すように、前記絶縁層上に導電層を形成する工程と、

(h) 前記導電層の不要部を除去する工程とを含む半導体集積回路装置の製造方法。

20 【請求項 8】 前記工程 (d) のビア孔のエッチングとリング溝のエッチングとがほぼ同時に終了する請求項 7 記載の半導体集積回路装置の製造方法。

【請求項 9】 さらに、

(i) 前記工程 (h) の後、前記ビア孔およびリング溝を埋めた前記導電層を覆って、前記絶縁層の上に他のエッチングストップ層と他の絶縁層とをこの順序で形成する工程と、

30 (j) 前記他の絶縁層上に、前記回路領域で配線パターン溝用開口部と、前記耐湿リング領域で、ループ状の他のリング溝用開口部とを有する他のレジストパターンを形成する工程と、

(k) 前記他のレジストパターンをマスクとして前記他の絶縁層をエッチングして、前記他のエッチングストップ層を露出する配線パターン溝と他のリング溝を形成する工程と、

(l) 前記他のレジストパターンを除去する工程と、

(m) 露出している他のエッチングストップ層を除去して、前記配線パターン溝と他のリング溝とを完成する工程と、

40 (n) 前記配線パターン溝と他のリング溝とを埋め戻すように、前記他の絶縁層上に他の導電層を形成する工程と、

(o) 前記他の導電層の不要部を除去する工程とを含む請求項 7 または 8 記載の半導体集積回路装置の製造方法。

【請求項 10】 さらに、前記工程 (g) の前に、

(p) 前記絶縁層上に配線パターン溝用開口部と他のリング溝用開口部とを有する他のレジストパターンを形成する工程と (q) 前記他のレジストパターンをマスクと

50 して、前記絶縁層をエッチングして配線用溝と他のリン

3

グ溝とを形成する工程と、

(r) 前記他のレジストパターンを除去する工程を含み、前記工程(g)は、前記ビア孔、配線パターン溝、リング溝、他のリング溝を前記導電層で埋め戻す請求項7または8記載の半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関し、特にチップ周辺に耐湿リングを有する半導体集積回路装置およびその製造方法に関する。

【0002】

【従来の技術】半導体集積回路装置は、半導体チップ内に多数の素子を形成し、半導体チップ上に多層配線を形成することによって作成される。多層配線は、多層の配線層と、配線層間を絶縁する層間絶縁膜によって形成される。従来、異なる層間の電気的接続を形成するため、層間絶縁膜上に上層の配線層を形成する前に、層間絶縁膜を貫通するビア孔が形成される。上層配線を形成する際に、ビア孔内も配線層で埋められる。

【0003】配線パターンの形成は、層間絶縁膜上に配線層を形成し、その上にレジストマスクを形成し、レジストマスクをエッチングマスクとして配線層をエッチングすることによって行なわれる。配線パターン側壁上の堆積物等は、アルカリ薬液等によって除去される。その後、同層内の配線パターン間及び上層及び下層の配線パターン間を絶縁するために、酸化シリコン等で形成される層間絶縁膜をプラズマCVD等を用いて形成する。

【0004】従来、配線材料としては、エッチングの可能なアルミニウム(Al)やタングステン(W)等が用いられた。配線パターン形成後、レジストマスクを除去するためのアッシングにおいて、配線パターン表面が酸化されるのを防止するため、AlやWの主配線層の上に、TiN等の酸化防止層を形成することも行なわれる。

【0005】酸化シリコン等の層間絶縁膜は、大気中の水分を透過する性質を有する。大気中の水分が半導体素子に到達すると、半導体素子の特性を損なわせてしまう。大気中からの水分の侵入を防止するため、最上の絶縁層の上に、水分遮蔽能を有するSiN等のパッシベーション膜を形成すると共に、チップ周縁部に水分の侵入を遮蔽する導電体の耐湿リングが形成される。

【0006】耐湿リングは、層間絶縁膜のビア孔を形成するエッチングと同時に回路領域をループ状に囲むリング溝をエッチングで形成し、配線形成工程によってリング溝内を配線層で埋め、パターンニングすることによって行なわれる。

【0007】半導体集積回路装置においては、常に集積度の向上が求められている。集積度を向上するため、半導体素子は微細化され、単位面積内により多くの半導体素子を形成する。半導体素子が微細化されると、その上

4

に形成される配線の密度も増加する。配線密度が増加すると、各配線の幅及び同層内の隣接する配線間の間隔は減少する。

【0008】配線層の厚さを同一に保つと、配線幅の減少は抵抗の増加を伴う。また、隣接する配線間の間隔の減少は、配線間の容量の増加を伴う。配線抵抗の増加を低減するためには、配線層の厚さを厚くすることが必要である。配線の断面積を一定に保とうとすれば、配線幅の減少分を配線厚さの増加により補償しなければならない。

【0009】しかしながら、配線層の厚さを増加すると、隣接する配線間の対向面積が増大し、配線間の容量をさらに増加させることになる。配線抵抗の増大および配線間容量の増大は、信号伝達スピードを減少させることになる。メモリー装置においては、高集積化と低消費電力化が主な課題であるため、従来通りAl等の配線材料が用いられている。

【0010】ロジック回路においては演算速度が主な課題であり、信号伝達スピードの減少は極力防がなければならない。このため、配線の抵抗を低減し、付随容量を低減することが望まれる。配線の抵抗を低減するためには、配線材料としてAlよりも抵抗率の低いCu等の高融点金属を用いることが提案されている。配線の付随容量を低減するためには、配線間を絶縁する絶縁膜の誘電率を低減することが提案されている。例えば、低誘電率の絶縁膜として、弗素を含むシリコン酸化膜(FSG)等が用いられる。

【0011】Cu配線は、エッチングによってパターンニングすることが困難である。このため、Cu層のパターンを形成するために、絶縁膜に溝(トレンチ)を形成し、溝を埋め戻すようにCu層を形成し、絶縁膜上の不要のCu層を化学機械研磨(CMP)等によって除去するダマシンプロセスが用いられる。ダマシンプロセスとして、シングルダマシンプロセスとデュアルダマシンプロセスとが知られている。

【0012】シングルダマシンプロセスでは、下層絶縁膜上にビア孔用ホトレジストパターンを形成し、ビア孔をエッチングし、ホトレジストパターンを除去した後Cu層を形成し、不要のCu層をCMPで除去し、さらに別の絶縁層を形成し、配線パターン溝用ホトレジストパターンを形成し、上の絶縁層に配線パターン溝をエッチングし、ホトレジストパターンを除去した後Cu層を形成し、不要のCu層をCMPで除去する。

【0013】デュアルダマシンプロセスでは、絶縁層上にビア孔用ホトレジストパターンを形成し、ビア孔をエッチングし、同一絶縁層上に配線パターン溝用ホトレジストパターンを形成し、配線パターン溝をエッチングし、その後同一プロセスでビア孔と配線パターン溝とを埋め戻す。Cu層を形成し、CMPにより不要Cu層を除去する。

5

【0014】なお、ビア孔を形成した後、ホトレジストパターンをアッシングで除去する時、下層Cu配線層が露出していると、露出しているCu配線表面が酸化されてしまう。Cu配線表面の酸化を防止するために、Cu配線パターンを形成した後、Cu配線表面を覆ってエッチングストップの機能を有する酸化防止膜を形成する。このエッチングストップ兼用酸化防止膜は、例えばSiN層によって形成される。

【0015】エッチングストップ兼用酸化防止膜を絶縁層の下に配置した場合、絶縁層を貫通し、エッチングストップ兼用酸化防止膜を露出するビア孔をエッチングにより形成し、この段階でホトレジストパターンはアッシングにより除去する。その後ビア孔底に露出したエッチングストップ兼用酸化防止膜を除去する。簡単のため、エッチングストップ兼用酸化防止膜をエッチングストップ膜(層)と呼ぶ。

【0016】なお、Cuは酸化シリコン等の絶縁層中に拡散し、絶縁層の誘電特性及び絶縁性能を劣化させる性質を有する。Cuの拡散を防止するために、Cu配線層形成前にTiN、TaN等のバリア層を形成し、その上にCu配線層を形成する。

【0017】Cu配線を採用した場合の耐湿リングは、ビア孔のエッチング及び配線パターン溝用のエッチングと同時に、チップ周縁部において絶縁層をループ溝状にエッチングし、その後のバリア層堆積、Cu配線層形成と同時に耐湿リング用溝内にもバリア層、Cu配線層を形成することによって作成される。

【0018】微細化されたパターンのエッチングにおいては、狭い面積のエッチングレートが、広い面積のエッチングレートよりも遅くなるマイクロローディング効果が生じることが知られている。ビア孔の径は、回路設計により例えば最小寸法(ルール)に決定される。耐湿リング溝の幅をビア孔径より大きくするとマイクロローディング効果により耐湿リング溝がオーバーエッチングされる。そこで、耐湿リングの幅も、ビア孔径と同一寸法に設計する。

【0019】図9(A)～(C)を参照し、ビア孔のエッチングと耐湿リング溝のエッチングの状況を説明する。必要に応じ、回路領域の構成要素には、参照記号にcを付して表わし、耐湿リング領域の構成要素には、参照記号にrを付して表わす。

【0020】図9(A)に示すように、下層配線パターンにより、回路領域に下層配線121c、耐湿リング領域に導電リング121rが形成されている。これらの下層配線パターンを覆うように、SiN等のエッチングストップ層122が形成され、その上に層間絶縁膜123が形成されている。

【0021】層間絶縁膜123の上に、ビア孔用開口VO及び耐湿リング溝用開口ROを有するレジストパターンPRが形成される。ビア孔用開口VOの径と、耐湿リ

6

ング溝用開口ROの幅は、同一寸法である。このようなホトレジストパターンPRをエッチングマスクとし、層間絶縁膜123をエッチングする。

【0022】図9(A)に示すように、ビア孔用開口VOの径と耐湿リング溝用開口ROの幅は同一寸法であるが、図9(B)に示すように、エッチングはビア孔VHよりも耐湿リング溝RTでより速く進む。このため、ビア孔VHの底面と、耐湿リング溝RTの底面との間に高さの差dが生じる。

【0023】図9(C)に示すように、層間絶縁膜123のエッチングは耐湿リング溝RTにおいて先に終了する。その後もエッチングを続けることによって、ビア孔VHのエッチングも終了する。この間、耐湿リング溝RTでは、オーバーエッチングが行なわれる。

【0024】耐湿リング溝RTのエッチングが終了してから、ビア孔VHのエッチングが終了するまでの間、耐湿リング溝RT底面に露出したエッチングストップ膜122はオーバーエッチングされる。例えば、シリコン酸化膜に対するシリコン窒化膜のエッチレート比は、1/10ないし1/15と比較的小さな値を有するが、エッチングストップ膜122が確実に残るようにするためには、エッチングストップ膜122を厚く形成することが必要となる。

【0025】エッチングストップ膜のSiN膜は、高い誘電率を有する。エッチングストップ膜122を厚くすると、同層内配線間の付随容量を増加させてしまう。エッチングストップ膜122の厚さを最小限とし、かつ耐湿リング溝の下で確実にエッチングストップ膜が残るようにするためには、ビア孔のエッチレートと、耐湿リング溝のエッチレートとを実質的に等しいものとするのが望まれる。

【0026】

【発明が解決しようとする課題】本発明の目的は、耐湿リングを有する半導体集積回路装置の新規な構成と、その製造方法を提供することである。

【0027】本発明の他の目的は、ダマシンプロセスのエッチングにおいて、ビア孔のエッチレートと、耐湿リング溝のエッチレートとの差を最小にできる半導体集積回路装置の構造及び半導体集積回路装置の製造方法を提供することである。

【0028】本発明のさらに他の目的は、ビア孔と耐湿リング溝とのエッチングにおいて、エッチングストップ膜の膜減りを低減し、下層配線へのダメージを最小にすることが可能な半導体装置の製造方法を提供することである。

【0029】

【課題を解決するための手段】本発明の一観点によれば、中央部に画定された回路領域と、その周縁部をループ状に取り囲む耐湿リング領域とを有する半導体基板と、前記回路領域に形成された複数の半導体素子と、前

7

記半導体基板上に形成された複数の絶縁層と、前記回路領域上で前記複数の絶縁層内に形成された複数段の配線層用空洞であって、各段の配線層用空洞が下側のビア孔と上側の配線パターン溝とを有する複数段の配線層用空洞と、前記複数段の配線層用空洞内に形成された複数段の配線層であって、各配線層が前記ビア孔を埋める下側のビア導電体と前記配線パターン溝を埋める上側の配線パターンとを有し、該ビア導電体は異なる配線層の配線パターン間もしくは配線パターンと前記半導体素子との間の電気的接続を形成する複数段の配線層と、前記半導体基板の回路領域をループ状に取り囲んで、前記耐湿リング領域の複数の絶縁層を貫通して形成され、前記複数段の配線層用空洞と対応した複数段構成の耐湿リング溝であって、各前記ビア孔に対応する耐湿リング溝の幅は該ビア孔の最小径よりも小さい耐湿リング溝と、前記ビア導電体および前記配線パターンと同一の層で形成され、前記耐湿リング溝を埋める導電耐湿リングとを有する半導体集積回路装置が提供される。

【0030】耐湿リング溝の幅を小さくすることにより、耐湿リング溝のエッチレートの減少する。ビア孔のエッチレートと、耐湿リング溝のエッチレートとの差を減少することが可能となる。

【0031】本発明の他の観点によれば、(a) 中央部に画定された回路領域と、前記回路領域をループ状に取り囲む耐湿リング領域を有する半導体基板の回路領域内に複数の半導体素子を形成する工程と、(b) 前記複数の半導体素子を覆って前記半導体基板上方にエッチングストッパ層と絶縁層をこの順序で形成する工程と、

(c) 前記絶縁層上に、前記回路領域で第1の値の最小径を有する複数のビア孔用開口部と、前記耐湿リング領域で前記第1の値より小さい第2の値の幅を有する、ループ状のリング溝用開口部とを有するレジストパターンを形成する工程と、(d) 前記レジストパターンをマスクとして前記絶縁層をエッチングして、前記エッチングストッパ層を露出するビア孔とリング溝を形成する工程と、(e) 前記レジストパターンを除去する工程と、

(f) 露出しているエッチングストッパ層を除去して、前記ビア孔とリング溝とを完成する工程と、(g) 前記ビア孔とリング溝とを埋め戻すように、前記絶縁層上に導電層を形成する工程と、(h) 前記導電層の不要部を除去する工程とを含む半導体集積回路装置の製造方法が提供される。

【0032】耐湿リング溝は、幅方向においては高いアスペクト比を有するが、延在方向においてはアスペクト比が格段に低くなる。これに対し、ビア孔においては、面内の全方向において高いアスペクト比を有する。

【0033】このため、同一寸法では、マイクロローディング効果により、ビア孔のエッチレートは耐湿リング溝のエッチレートよりも小さくなる。耐湿リング溝の幅をビア孔の径よりも小さくすることにより、エッチレ

8

トの差を小さくすることが可能となる。エッチレートとの差を小さくすることにより、耐湿リング溝底のエッチングストッパ膜のオーバーエッチング量を減少させ、エッチングのマージンを広くすることが可能となり、下層配線へのダメージを少なくすることができる。

【0034】

【発明の実施の形態】本発明の実施例を説明する前に、従来技術によるビア孔と耐湿リング溝のエッチングを解析する。図2(A)は、ビア孔の径と耐湿リング溝の幅を同一の値とした場合のエッチングレートを示すグラフである。横軸がビア孔の径及び耐湿リング溝の幅を単位 μm で示し、縦軸がエッチングレートを単位 $\text{\AA}/\text{min}$ で示す。

【0035】曲線 t_v は、ビア孔のエッチングレートを示し、曲線 t_r は耐湿リング溝のエッチングレートを示す。ビア孔のエッチングレート t_v は、常に耐湿リング溝のエッチングレート t_r よりも低い値を示す。さらに、このエッチングレートの差のエッチングレートに対する比の絶対値は、ビア孔径及び耐湿リング溝幅が小さくなるほど著しくなる。このため、耐湿リング溝のエッチングが終了しても、ビア孔のエッチングは終了せず、オーバーエッチングが必要となる。

【0036】図2(B)は、エッチングレートが同一となるビア孔径と耐湿リング溝幅との関係を示すグラフである。横軸はビア孔径を単位 μm で示し、縦軸は耐湿リング溝幅を単位 μm で示す。曲線 r_q は、エッチングレートが同一となるビア孔径と耐湿リング溝幅との関係を示す。

【0037】グラフから明らかなように、同一のエッチングレートを実現するためには、ビア孔径は耐湿リング溝幅よりも小さな値としなくてはならない。さらに、同一のエッチングレートを実現するビア孔径に対する耐湿リング溝幅の比は、ビア孔径が小さくなるほど小さくなる。

【0038】ビア孔のエッチングと耐湿リング溝のエッチングを同等に進行させるには、曲線 r_q に従ってビア孔と耐湿リング溝幅とを選択すれば良い。なお、実際にエッチングを行なう場合には、エッチング条件を確立した上で、図2(B)に示すような定量線を求めることが好ましい。

【0039】図中、破線 $r_{0.7}$ 及び破線 $r_{0.9}$ は、ビア孔径に対して耐湿リング溝幅をそれぞれ0.7、0.9に選択した場合の関係を示す。グラフから容易に判断できるように、 $1.0\mu\text{m}$ 以下のビア孔径に対し耐湿リング溝幅が0.7～0.9の範囲は、同一エッチングレート r_q に近い領域である。

【0040】この領域であれば、ビア孔のエッチングレートと耐湿リング溝のエッチングレートとを近い値とすることができよう。ビア孔径が約0.15～約0.7の範囲では、曲線 r_q は、ほぼ $r_{0.7} \sim r_{0.9}$ の範囲

9

に重なる。特に、ビア孔径が約 $0.2 \sim 0.5 \mu\text{m}$ の領域において、曲線 r_q は、 $r_{0.7} \sim r_{0.9}$ の範囲内にある。この範囲内に選択すれば、ビア孔のエッチングと耐湿リング溝のエッチングとをほぼ同等の速さで進行させることができよう。

【0041】ビア孔径が $0.2 \mu\text{m}$ 以下の領域においては、曲線 r_q は、 $r_{0.7} \sim r_{0.9}$ の範囲から外れてくる。しかし、耐湿リング溝の幅をビア孔径より極端に小さくすると耐湿リング溝のエッチング不良を起こす可能性も生じる。従って、 $r_{0.7} \sim r_{0.9}$ の範囲はビア孔径がより小さい領域においても有効な範囲と言える。

【0042】図1(A)、(B)は、本発明の実施例による半導体装置の製造方法を説明する概略斜視図である。

【0043】図1(A)に示すように、下層配線パターン $21c$ 、 $21r$ を覆って、薄いエッチングストッパ膜 22 を形成する。エッチングストッパ膜 22 上に、層間絶縁膜 23 を形成し、その上にレジストパターン 24 を形成する。レジストパターン 24 は、ビア孔用開口 VO 及び耐湿リング溝用開口 RO を有する。耐湿リング溝用開口 RO の幅は、ビア孔用開口 VO の径よりも小さく選択されている。

【0044】レジストパターン 24 をエッチングマスクとし、層間絶縁膜 23 のエッチングを行なう。耐湿リング溝用開口 RO の幅がビア孔用開口 VO の径よりも小さく選択されているため、耐湿リング溝用開口 RO 下のエッチングレートは低下し、ビア孔用開口 VO 下のエッチングレートに近づく。図示の状態において、層間絶縁膜 23 に途中までビア孔 $25c$ 及び耐湿リング溝 $25r$ がエッチングされている。この時、耐湿リング溝 $25r$ の底面と、ビア孔 $25c$ の底面との差 d は、従来のものよりも減少している。

【0045】図1(B)は、ビア孔 $25c$ のエッチングが終了した状態を示す。耐湿リング溝 $25r$ は、ビア孔 $25c$ よりも早くエッチングが終了しているが、その差が減少しているため、耐湿リング溝 $25r$ 下のエッチングストッパ膜 22 のエッチング量はわずかなものに留まり、十分な厚さのエッチングストッパ膜 22 が、下層配線パターン $21r$ 上に残る。このため、層間絶縁膜 23 上のレジストパターン 24 を除去する際にも、下層配線パターン $21c$ 、 $21r$ が酸化されることが良好に防止される。

【0046】なお、レジストパターン 24 の除去の後、ビア孔 $25c$ 、耐湿リング溝 $25r$ の底面に露出したエッチングストッパ膜 22 をエッチングで除去し、下層配線パターン $21c$ 、 $21r$ の上面を露出する。

【0047】その後、バリア層、Cu層の形成を行ない、ビア孔 $25c$ 、耐湿リング溝 $25r$ を埋め戻す。耐湿リング溝 $25r$ に形成されたバリア層、Cu層は、下

10

層導電層 $21r$ に接し、気密な耐湿リングを形成する。

【0048】なお、配線パターンの形成工程においては、配線パターン溝と耐湿リング溝のエッチングに大きな差は生じにくい。従って、両者の幅を同一としても、エッチングレートに大きな差は生じ難い。耐湿リング溝の幅を配線パターン溝の幅と同一としてもよい。必要であれば、耐湿リング溝の幅を配線パターン溝の幅より小さくしてもよい。

【0049】以下、より具体的な実施例を、中央演算装置(CPU)を例にとって説明する。

【0050】図3(A)は、CPUを作成するウエハの上面図を示す。ウエハ 10 の表面上には、多数のチップ領域 11 が画定されている。各チップ領域を囲む線 12 は、スクライブラインである。

【0051】図3(B)は、単一のチップ 11 内の平面構成を示す。チップ 11 中央部には、デコーダ 13 、演算回路 14 、SRAM 15 、入出力回路(I/O) 16 が配置された回路領域 C が画定され、回路領域を取り囲むように耐湿リング 17 を含む耐湿リング用領域 R が画定されている。

【0052】図3(C)は、演算回路 14 等のロジック回路を構成するCMOS半導体素子の典型的例を概略的に示す上面図である。図中左側に、 n チャネルMOSトランジスタが形成され、図中右側に p チャネルMOSトランジスタが形成されている。 n チャネルMOSトランジスタは、基板表面上に形成された絶縁ゲート電極 G_n とその両側に形成された n 型ソース領域 S_n 、 n 型ドレイン領域 D_n を有する。ソース領域、ドレイン領域には、コンタクト領域 C が形成されている。

【0053】 p チャネルMOSトランジスタは、中央に配置された絶縁ゲート G_p とその両側に配置されたソース領域 S_p 、ドレイン領域 D_p を有する。ソース領域 S_p 、ドレイン領域 D_p には、コンタクト領域 C が形成されている。

【0054】図3(B)の構成において、回路領域 C に図3(C)に示すような半導体素子を多数形成した後、ウエハ表面上に多層配線が形成され、多層配線の形成と共に耐湿リングが形成される。

【0055】図4は、図3に示す半導体集積回路装置のロジック回路等の回路領域および耐湿リング領域の部分的断面図を示す。シリコン基板 40 の表面には、素子分離用のトレンチが形成され、トレンチを埋め込む酸化シリコン等の絶縁領域によってシャロートレンチアイソレーション(STI) $41c$ が形成され、活性領域が画定されている。耐湿リング部分においては、STIと同時に回路領域をループ状に取り囲むリング状絶縁領域 $41r$ が形成されている。

【0056】回路領域においては、各活性領域内に p ウェル W_p 及び n ウェル W_n が形成され、活性領域上に熱酸化シリコン等のゲート絶縁膜 $43c$ が形成される。ゲ

11

ート絶縁膜43c上に多結晶シリコン、ポリサイド等のゲート電極44cが形成され、絶縁ゲート電極が形成される。絶縁ゲート電極の側壁には、サイドウォールスペーサ45cが酸化シリコン等により形成される。

【0057】絶縁ゲート電極を形成した後、pウエルWp、nウエルWnにそれぞれ別個のイオン注入を行ない、pウエルWp内にn型ソース／ドレイン領域42nを形成し、nウエルWn内にp型ソース／ドレイン領域42pを形成する。

【0058】耐湿リング部分においても、イオン注入以外同様の工程が行なわれ、絶縁領域41rの上にリング状の導電体領域44r及びサイドウォールスペーサ45rが形成される。

【0059】絶縁ゲート電極44c、導電体領域44rを覆って、シリコン基板上に窒化シリコン等のエッチングストッパ層46が形成される。

【0060】絶縁ゲート電極44c、導電体領域44rを覆って、シリコン基板上に窒化シリコン等のエッチングストッパ層46が形成される。

【0061】エッチングストッパ層46の上に、第一の層間絶縁膜47が弗素含有酸化シリコン(FSG)等の低誘電率絶縁体により形成される。回路領域においては、第一の層間絶縁膜47の表面から、例えば径約0.25 μ mのコンタクト用ビア孔が形成される。耐湿リング用領域においては、ビア孔径より小さな値の幅、たとえば約0.25x0.7 μ mの幅を有するループ状耐湿リング溝が導電体領域44r上に形成される。

【0062】コンタクト用ビア孔、耐湿リング溝のエッチングは、一旦エッチングストッパ層46表面で停止し、レジストマスクを除去した後、コンタクト用ビア孔、耐湿リング溝の底面に露出したエッチングストッパ層46を除去することにより行なわれる。

【0063】コンタクト用ビア孔、耐湿リング溝形成後、グルー・バリア層50、導電体プラグおよび導電体フェンス用の導電層51が堆積され、第一の層間絶縁膜46表面上のグルー・バリア層及び導電層はCMPにより除去される。グルー・バリア層は、TiN、TaN等の単一の層で形成しても、グルー用Ti層、バリア用TiN層等の積層で形成しても良い。導電層51は、例えばWで形成される。このようにして、半導体表面にコンタクトする導電体プラグ、絶縁領域41r上の導電性領域44rにコンタクトする導電体フェンスが形成される。

【0064】このようにして、回路部分においてはグルー・バリア層50cと導電領域51cで形成された導電体プラグが形成され、耐湿リング領域においては、グルー・バリア層50rと導電領域51rで形成された導電体フェンスが形成される。

【0065】なお、回路領域において、nチャネルMOSトランジスタの一方のソース／ドレイン領域と、pチャ

12

ネルMOSトランジスタの一方のソース／ドレイン領域と、pチャネルMOSトランジスタの一方のソース／ドレインとは、第1層配線により相互に接続されCMOSインバータを構成している。

【0066】その後、導電体プラグ、導電体フェンスを覆って第一層間絶縁膜47表面上に、第2のエッチングストッパ層52、第2の層間絶縁膜53が堆積される。エッチングストッパ層は、例えばSiNで形成され、層間絶縁膜は例えばFSGで形成される。第2の層間絶縁膜53表面上にレジストパターンが形成され、第1配線層の配線パターン用および耐湿リング溝用の開口が画定される。両開口の幅はたとえば同一である。

【0067】このレジストパターンをエッチングマスクとし、第2の層間絶縁膜53のエッチングが行なわれる。第2のエッチングストッパ層52表面が露出した後、一旦エッチングを停止し、レジストパターンをアッシングで除去する。その後露出した第2のエッチングストッパ層52をエッチングにより除去し、バリア層54、配線層55の堆積を行なう。その後、第2層間絶縁膜53表面上の不要なバリア層及び配線層をCMPで除去する。

【0068】このようにして、回路領域において、バリア層54c、配線層55cで構成された配線パターンが形成され、耐湿リング領域においてはバリア層54r、配線層55rで形成された導電体フェンスが形成される。このようにして、シングルダマシン構造の第1配線層の構造が形成される。シングルダマシン構造ではビア導電体、配線パターン共に側面と底面がバリア層で覆われる。

【0069】第2層間絶縁膜53上に、第3のエッチングストッパ層57、第3の層間絶縁膜58、第4のエッチングストッパ層59、第4の層間絶縁膜60を堆積する。第4の層間絶縁膜60表面から第3の層間絶縁膜58表面に達する配線パターン溝および耐湿リング溝が形成され、さらに配線パターン溝底面から第2の層間絶縁膜53内に形成された第1層配線パターン、耐湿リングに達するビア孔及び耐湿リング溝が形成される。

【0070】ビア孔径は、たとえば0.3 μ mである。対応する耐湿リング溝の幅は、ビア孔径より小さく、例えば約0.3x0.8 μ mに選択される。

【0071】これらのビア孔、配線パターン溝、耐湿リング溝を埋め込むように、バリア層62及びCu等の導電層63の堆積が行なわれる。第4の層間絶縁膜60上に堆積したバリア層、導電層はCMP等によって除去する。このようにして、デュアルダマシン構造の第2層配線構造および第2層耐湿リング用フェンスが形成される。デュアルダマシン構造では、1層の配線構造は、最上面を除く表面がバリア層で覆われる。

【0072】第2層配線構造を形成した後、第4の層間絶縁膜表面上に第5のエッチングストッパ層65が形成

13

される。第5のエッチングストップ層65の上に、第5の層間絶縁膜66、第6のエッチングストップ層67、第6の層間絶縁膜68が堆積され、上述と同様のプロセスにより、バリア層70、配線層71で構成されたデュアルダマシン導電構造が形成される。このようにして第3層配線構造、第3層耐湿リングが形成される。第3配線層のビア孔径は、たとえば $0.45\mu\text{m}$ である。この時、対応する耐湿リング溝の幅は、ビア孔径よりも小さく、例えば $0.45 \times 0.9\mu\text{m}$ に選択される。

【0073】第3層配線構造、第3層耐湿リングを覆って、第6層間絶縁膜の上に、第7のエッチングストップ層73、第7の層間絶縁膜74、第8のエッチングストップ層75、第8の層間絶縁膜76が堆積され、配線パターン溝、ビア孔および耐湿リング溝が形成され、バリア層78、配線層79で構成されるデュアルダマシン構造の第4層配線構造、第4層耐湿リングが形成される。

【0074】第4配線層のビア孔径は、例えば $0.9\mu\text{m}$ であり、この時耐湿リング溝の幅は、例えば $0.9 \times 0.9\mu\text{m}$ またはビア孔径と同一の $0.9\mu\text{m}$ に選択される。

【0075】第4配線層、第4層耐湿リングを覆って、第8の層間絶縁膜76表面上にSiN等の水分遮蔽能を有するパッシベーション膜81が形成される。耐湿リング領域においては、基板上にループ状の導電フェンスが積層され、その上にパッシベーション膜が形成されることにより、回路領域を封止する水分遮断構造が形成される。

【0076】図示の構成においては、第1配線構造をシングルダマシン構造、第2～第4配線構造をデュアルダマシン構造で形成した。シングルダマシン、デュアルダマシンは任意に選択することができる。

【0077】図5(A)～(G)は、シングルダマシン配線を形成するプロセスを概略的に示す断面図である。図5(A)に示すように、バリア層b1、配線層w1で下層配線が形成されている。下層配線表面を覆ってエッチングストップ層s2、層間絶縁膜d2、反射防止膜ar2が形成されている。エッチングストップ層s2、反射防止膜ar2は、それぞれ厚さ約 50nm のSiN膜で形成される。層間絶縁膜d2は、例えば厚さ約 600nm のFSGにより形成される。

【0078】反射防止膜ar2の上に、ビア孔及び耐湿リング溝をエッチングするためのレジストパターンPR2を形成する。レジストパターンPR2をエッチングマスクとし、反射防止膜ar2、層間絶縁膜d2のエッチングを行なう。その後、レジストパターンPR2は除去する。なお、ビア孔と耐湿リング溝とは同様の断面構成であるため、図には1つの開口のみを示す。但し、耐湿リング溝の幅は、上述のようにビア孔の径よりも小さい。以下同様である。

【0079】図5(B)に示すように、露出した反射防

14

止膜ar2及びエッチングストップ層s2を除去し、下層配線w1の表面を露出するビア孔VH2及び耐湿リング溝RT2を形成する。

【0080】図5(C)に示すように、ビア孔VH2及び耐湿リング溝RT2を埋めるように、例えば厚さ約 25nm のTa₂N層で形成されたバリア層b2p、厚さ約 1500nm のCu層で形成された配線層w2pを成膜する。なお、バリア層b2pをスパッタリングで形成した後、厚さ約 200nm のCuシード層をスパッタリングで形成し、その上にメッキ等によりCu層を約 1300nm 成膜して配線層w2pを形成する。

【0081】図5(D)に示すように、層間絶縁膜d2上のバリア層b2p、配線層w2pをCMPにより除去し、銅プラグ(銅フェンス)を形成する。

【0082】図5(E)に示すように、銅プラグ(銅フェンス)を覆って層間絶縁膜d2上に厚さ約 50nm のSiN層で形成されたエッチングストップ層s3、厚さ約 500nm のFSG層で形成された層間絶縁膜d3、厚さ約 50nm のSiN層で形成された反射防止膜ar3を成膜する。反射防止膜ar3の上に、配線パターン溝及び耐湿リング溝を形成するための開口を有するレジストパターンPR3を形成する。配線パターン溝の幅と耐湿リング溝の幅は、たとえば同一である。

【0083】レジストパターンPR3をエッチングマスクとし、反射防止膜ar3、層間絶縁膜d3のエッチングを行なう。その後、レジストパターンPR3を除去し、露出した反射防止膜ar3、エッチングストップ層s3をエッチングで除去する。

【0084】図5(F)に示すように、図5(C)の工程と同様の工程を行なうことにより、厚さ約 20nm のTa₂N層で形成されたバリア層b3p、厚さ約 1200nm のCuで形成された配線層w3pを形成する。なお、配線層w3pは、先ず厚さ約 200nm のCu層をスパッタリングで成膜し、次にメッキ等により厚さ約 1000nm のCu層を成膜することによって形成する。

【0085】図5(G)に示すように、層間絶縁膜d3上の不要なバリア層及び配線層をCMPで除去し、バリア層b3、配線層w3で形成された配線パターンを作成する。以上の工程により、1層分の配線構造を作成することができる。同様の工程を繰り返すことにより、多層の配線層をシングルダマシン構造で形成することもできる。次に、デュアルダマシン構造の作成について説明する。デュアルダマシン配線構造はいくつかの方法で作成することができる。

【0086】図6(A)～(F)は、デュアルダマシン配線構造を作成する方法の一例を示す断面図である。図6(A)に示すように、バリア層b1、配線層w1が下層配線を形成し、その表面は厚さ約 50nm のSiN層で形成されたエッチングストップ層s2で覆われている。エッチングストップ層s2の上に、厚さ約 600nm

15

mのFSG層で形成された層間絶縁膜d2、厚さ約50nmのSiN層で形成されたエッチングストップ層s3、厚さ約500nmのFSG層で形成された層間絶縁膜d3が積層され、その表面に厚さ約50nmのSiN層で形成された反射防止膜ar3が形成されている。反射防止膜ar3の上に、ビア孔及び耐湿リング溝に対応する開口を有するレジストパターンPR2が形成される。上述のように、耐湿リング溝の幅は、ビア孔の径よりも小さく選択する。

【0087】図6(B)に示すように、レジストパターンPR2をエッチングマスクとし、反射防止膜ar3、層間絶縁膜d3、エッチングストップ層s3、層間絶縁膜d2のエッチングを行ない、ビア孔VH(耐湿リング溝RT)を形成する。

【0088】図6(C)に示すように、ビア孔(耐湿リング溝)下部に有機物の詰め物ppを装填し、反射防止膜ar3の上に配線パターン溝又は耐湿リング溝に対応する開口を有するレジストパターンPR3を形成する。

【0089】図6(D)に示すように、レジストパターンPR3をマスクとし、反射防止膜ar3、層間絶縁膜d3のエッチングを行ない、エッチングストップ層s3の表面で停止させる。なお、ビア孔(耐湿リング溝)内は詰め物ppにより保護されている。その後、レジストパターンPR3をアッシングで除去する。

【0090】詰め物ppがレジスト等の有機物で形成されている場合、アッシングによって詰め物も除去される。レジストパターンのアッシングで詰め物ppが除去されない場合は、エッチング等により詰め物ppを除去する。

【0091】露出した反射防止膜ar3及びエッチングストップ層s3、s2をエッチングで除去する。ビア孔(耐湿リング溝)底面には、下層配線w1が露出し、配線パターン溝底面には層間絶縁膜d2が露出する。

【0092】図6(E)に示すように、ビア孔、配線パターン溝、耐湿リング溝が形成された積層絶縁膜上に、バリア層b2p、配線層w2pを形成する。まず、厚さ約20nmのTa層をスパッタリングで堆積して、バリア層を形成する。続いて厚さ約200nmのCu層をスパッタリングで堆積し、メッキ用シード層とする。次に、シード層上に厚さ約1300nmのCu層をメッキで堆積する。

【0093】図6(F)に示すように、層間絶縁膜d3上に堆積した不要なバリア層b2p、配線層w2pをCMPにより除去し、バリア層b2、配線層w2で構成されたデュアルダマシン配線構造(耐湿リング構造)を作成する。このようにして、1層分のデュアルダマシン配線構造が形成できる。同様の工程を繰り返せば、多層のデュアルダマシン配線構造を形成することができる。

【0094】図7(A)～(F)は、デュアルダマシン配線構造を作成する他の方法を示す断面図である。図7

16

(A)に示すように、バリア層b1、配線層v1で構成される下層配線の上に、厚さ約50nmのSiN層で形成されたエッチングストップ層s2、厚さ約600nmのFSG層で形成された層間絶縁膜d2、厚さ約50nmのSiN層で形成されたエッチングストップ層s3、厚さ約500nmのFSG層で形成された層間絶縁膜d4、厚さ約50nmのSiN層で形成された反射防止膜ar3を積層する。

【0095】反射防止膜ar3の上に、配線パターン溝および耐湿リング溝に対応する開口を有するレジストパターンPR2を形成する。耐湿リング溝の幅は例えば配線パターン溝の幅と同一である。レジストパターンPR2をマスクとし、反射防止膜ar3、層間絶縁膜d3のエッチングを行ない、エッチングストップ層s3表面でエッチングを停止させる。

【0096】図7(B)に示すように、レジストパターンPR2をアッシングで除去する。底面にエッチングストップ層s3が残っている配線パターン溝WTが形成される。

【0097】図7(C)に示すように、新たにビア孔及び耐湿リング溝に対応する開口を有するレジストパターンPR3を作成する。上述のように、耐湿リング溝の幅は、ビア孔の径よりも小さく設計する。レジストパターンPR3をエッチングマスクとし、エッチングストップ層s3、層間絶縁膜d2のエッチングを行ない、エッチングストップ層s2の表面でエッチングを停止させる。

【0098】図7(D)に示すように、レジストパターンPR3をアッシングで除去する。続いて、露出している反射防止膜ar3、エッチングストップ層s3、s2をエッチングで除去し、配線パターン溝WT及びビア孔VH(耐湿リング溝RT)を完成させる。

【0099】図7(E)に示すように、ビア孔、配線パターン溝、耐湿リング溝を埋め込んで、バリア層b3p、配線層w3pを形成する。まず、厚さ約20nmのTa層をスパッタリングで堆積し、続いて厚さ約200nmのCu層をスパッタリングで堆積する。次に、厚さ約1300nmのCu層をメッキで形成する。この工程は、図6(E)に対応する。

【0100】図7(F)に示すように、CMPにより層間絶縁膜d3上のバリア層b3p、配線層w3pを除去し、バリア層b3、配線層w3で構成される配線層を完成する。この工程は図6(F)の工程に対応する。

【0101】図8(A)～(F)は、デュアルダマシン配線構造を作成する他の方法を示す断面図である。図8(A)に示すように、バリア層b1、配線層w1で構成される下層配線の上に、厚さ約50nmのSiN層で形成されたエッチングストップ層s2、厚さ約600nmのFSG層で形成された層間絶縁膜d2、厚さ約50nmのSiN層で形成されたエッチングストップ層s3、厚さ約500nmのFSG層で形成された層間絶縁膜d

17

3、厚さ約50nmのSiN層で形成された反射防止膜ar3を積層する。

【0102】反射防止膜ar3の上に、ビア孔及び耐湿リング溝に対応する開口を有するレジストパターンPR2を形成する。上述のように、耐湿リング溝の幅は、ビア孔の径よりも小さく選択する。レジストパターンPR2をマスクとし、反射防止膜ar3、層間絶縁膜d3のエッチングを行ない、エッチングストップ層s3の表面でエッチングを停止させる。

【0103】図8(B)に示すように、レジストパターンPR2を除去する。

【0104】図8(C)に示すように、反射防止膜ar3の上に、配線パターン及び耐湿リング溝に対応する開口を有するレジストパターンPR3を形成する。耐湿リング溝の幅は例えば配線パターン溝の幅と同一である。レジストパターンPR3をエッチングマスクとし、反射防止膜ar3、層間絶縁膜d3のエッチングを行なう。この際、先に形成されたビア孔(耐湿リング溝)の底面に露出しているエッチングストップ層s3、層間絶縁膜b2も共にエッチングされ、ビア孔が下側に延びる。これらのエッチングは、それぞれエッチングストップ層s3、エッチングストップ層s2の表面で停止するように条件が設定される。

【0105】図8(D)に示すように、レジストパターンPR3をアッシングで除去する。次に、表面に露出した反射防止膜ar3、配線パターン溝底面に露出したエッチングストップ層s3、ビア孔(耐湿リング溝)底面に露出したエッチングストップ層s2をエッチングで除去する。配線パターン溝WT、ビア孔VH(耐湿リング溝RT)が形成される。

【0106】図8(E)に示すように、バリア層b3p、配線層w3pの堆積を行なう。まず、厚さ約20nmのTa₂N₅層をスパッタリングで堆積し、続いて厚さ約200nmのCu層をスパッタリングで堆積する。次に、厚さ約1300nmのCu層をメッキで堆積する。

【0107】図8(F)に示すように、層間絶縁膜d3上の不要なバリア層b3p、配線層w3pをCMPにより除去し、バリア層b3、配線層w3で構成されたデュアルダマシン配線構造を作成する。

【0108】上述のようなダマシンプロセスを利用することにより、図4に示すような多層配線構造を作成すると同時に、耐湿リング領域においては配線と同一材料で形成された導電体(金属)耐湿リングを形成することができる。耐湿リング溝の幅は、必要に応じて対応する回路部のビア孔径よりも狭く選択し、エッチングレートに大きな差が生じないようにする。

【0109】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば配線材料としてTa₂N₅、Cuを用いる場合を説明したが、金、銀、白金、銅、アルミニウム、アルミニウム合金、

18

タングステン、タングステン合金、チタニウム、チタニウム化合物、タンタル、タンタル化合物から成る群から選択された材料を用いることができる。誘電率の低い絶縁膜としてFSGを用いる場合を説明したが、水素シルセスキオキサン(HSQ)、テトラエトキシシラン(TEOS)、発泡性(多孔質)酸化シリコン等を用いてもよい。誘電率を低くしなくてもよい場合には、酸化シリコン、ホスホシリケートガラス(PSG)、ボロホスホシリケートガラス(BPSG)等を用いることもできる。その他種々の変更、改良、組み合わせが可能なことは当業者に自明であろう。

【0110】

【発明の効果】以上説明したように、本発明によれば、耐湿リングを有する半導体集積回路装置において、耐湿リングを構成する配線材料層の表面を酸化させず、所望の性能を有する半導体集積回路装置を作成することができる。

【図面の簡単な説明】

【図1】 本発明の実施例による半導体集積回路装置の製造方法を概略的に示す斜視図である。

【図2】 ビア孔及び耐湿リングの幅に対するエッチングレートの関係を示すグラフ及び同一エッチングレートとなるビア孔径と耐湿リング溝幅との関係を示すグラフである。

【図3】 本発明の実施例による半導体集積回路装置の製造を説明する平面図である。

【図4】 図3に示す半導体集積回路装置の構成を示す断面図である。

【図5】 本発明の実施例に用いることのできるシングルダマシンプロセスの例を概略的に示す断面図である。

【図6】 本発明の実施例に用いることのできるデュアルダマシンプロセスの例を示す断面図である。

【図7】 本発明の実施例に用いることのできるデュアルダマシンプロセスの例を示す断面図である。

【図8】 本発明の実施例に用いることのできるデュアルダマシンプロセスの例を示す断面図である。

【図9】 従来技術によるビア孔及び耐湿リング溝の製造プロセスを概略的に示す斜視図である。

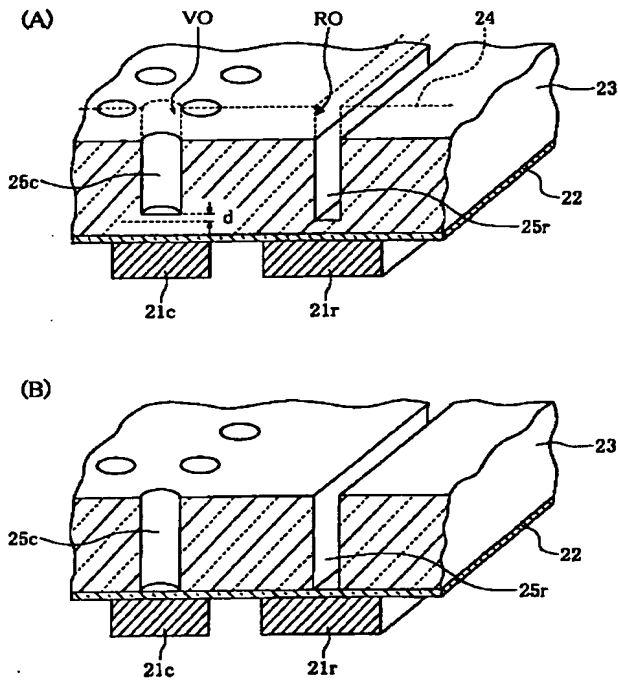
【符号の説明】

10 ウエハ
11 チップ
12 スクライブライン
13 デコーダ回路
14 演算回路
15 SRAM
16 I/O
21 下層配線パターン
22 エッチングストップ層
23 層間絶縁膜
25 ビア孔(耐湿リング溝)

19

- 40 半導体基板
 41 STI
 42 ソース/ドレイン領域
 43 ゲート絶縁膜
 44 ゲート電極
 45 サイドスペーサ
 46、52、57、59、65、67、73、75 エッチングストップ層
 47、53、58、60、66、68、74、76 層間絶縁膜
 50、54、62、70、78 バリア層
 51、55、63、71、79、 配線層

【図1】



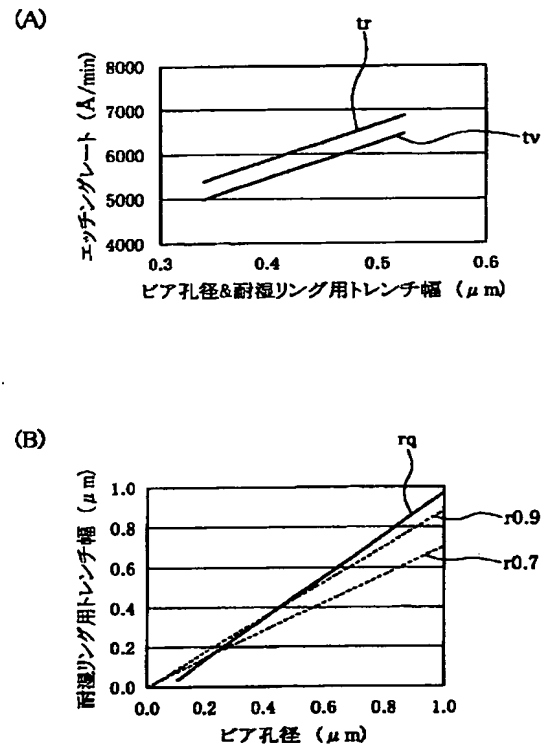
20

- *PR ホトレジストパターン
 VO ビア孔用開口
 RO 耐湿リング溝用開口
 RT 耐湿リング溝
 WT 配線パターン溝
 VH ビア孔
 b バリア層
 w 配線層
 s エッチングストップ層
 d 層間絶縁膜
 ar 反射防止膜

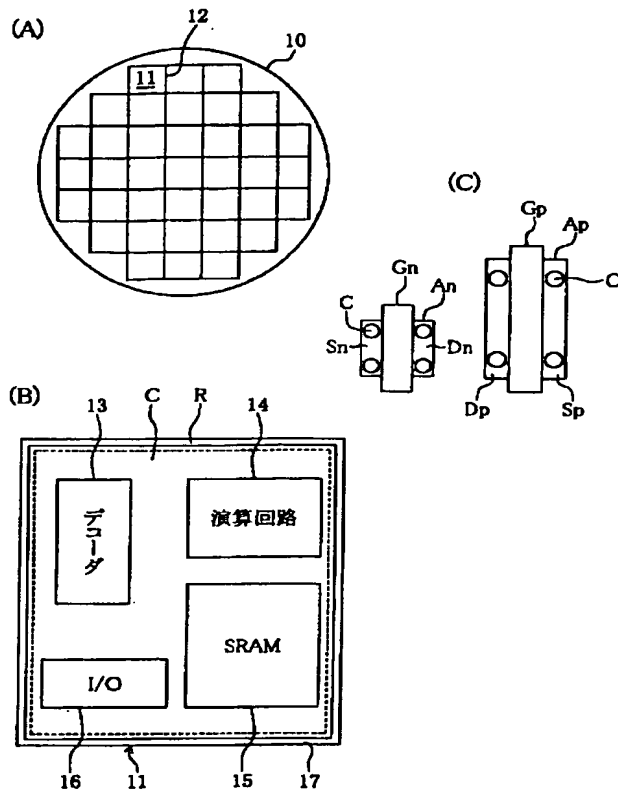
10

*

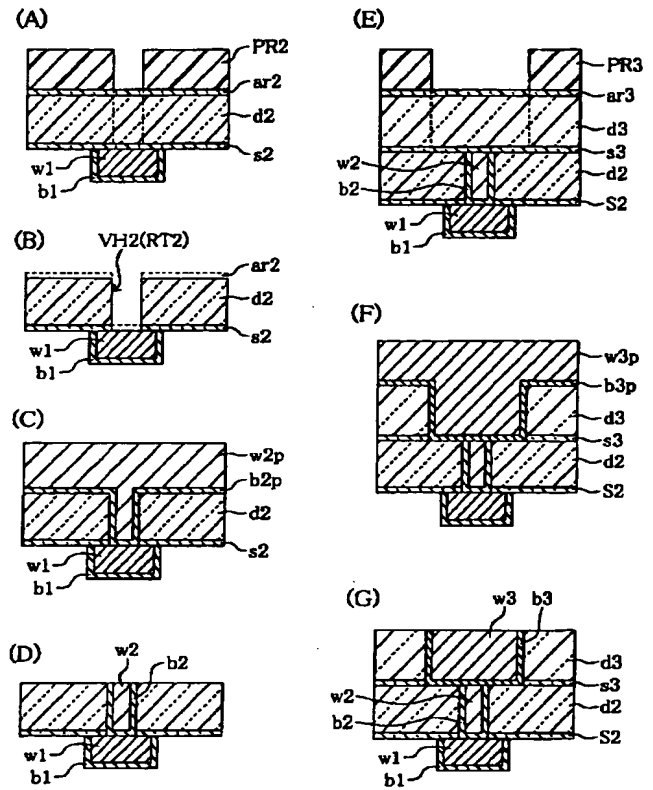
【図2】



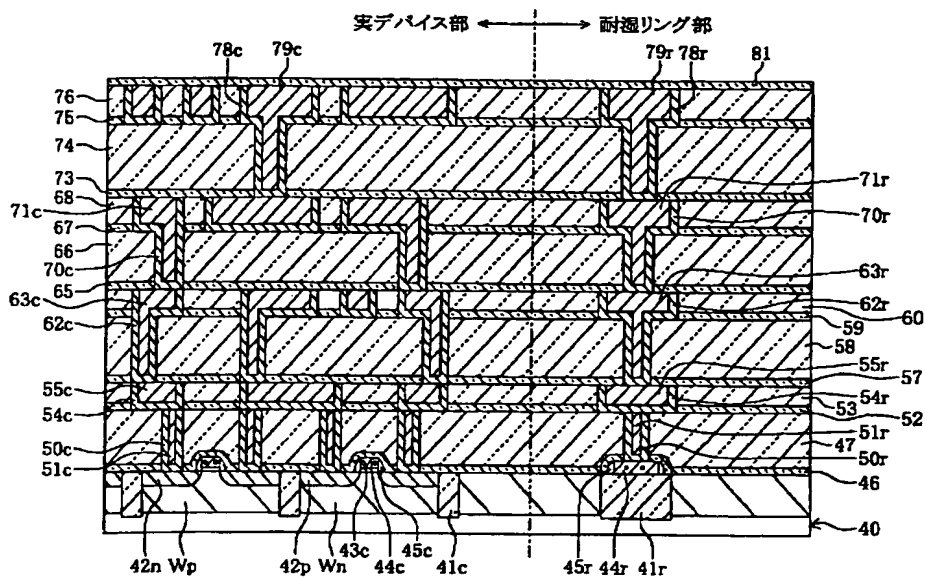
【図3】



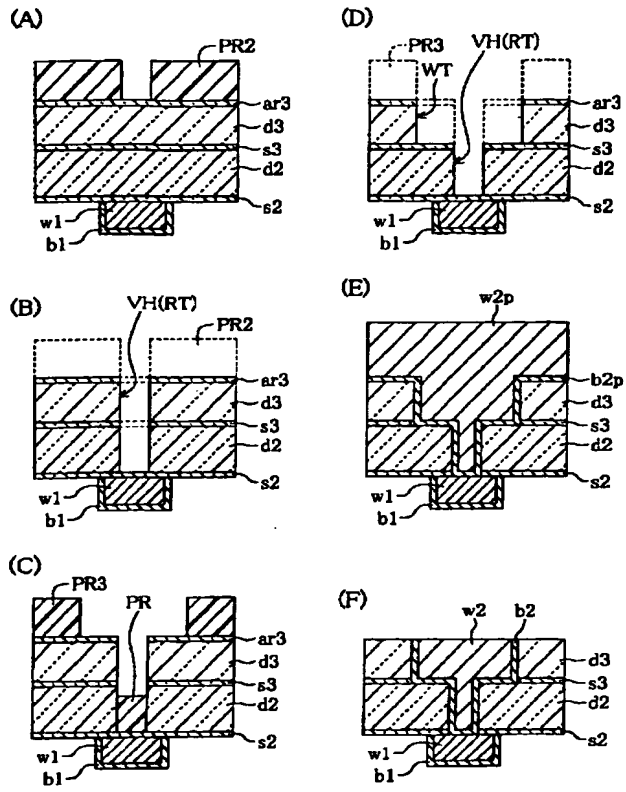
【図5】



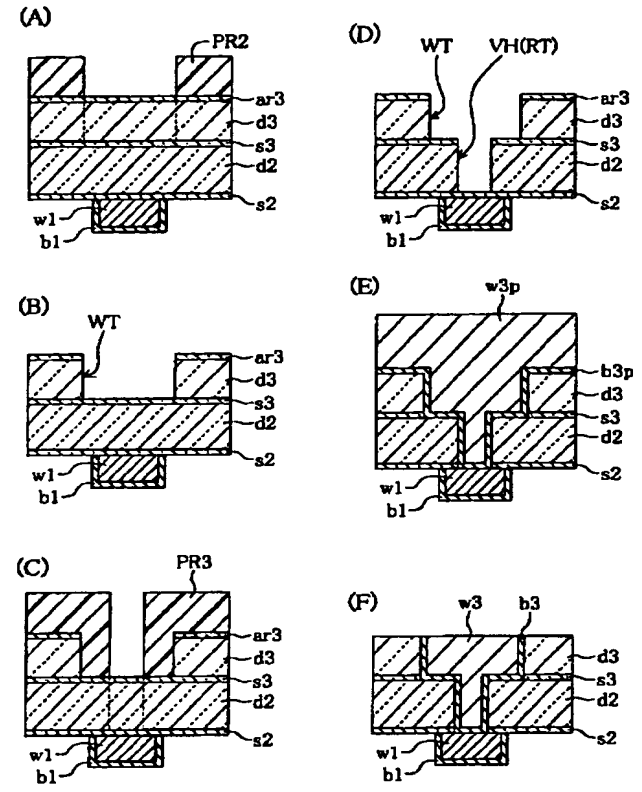
【図4】



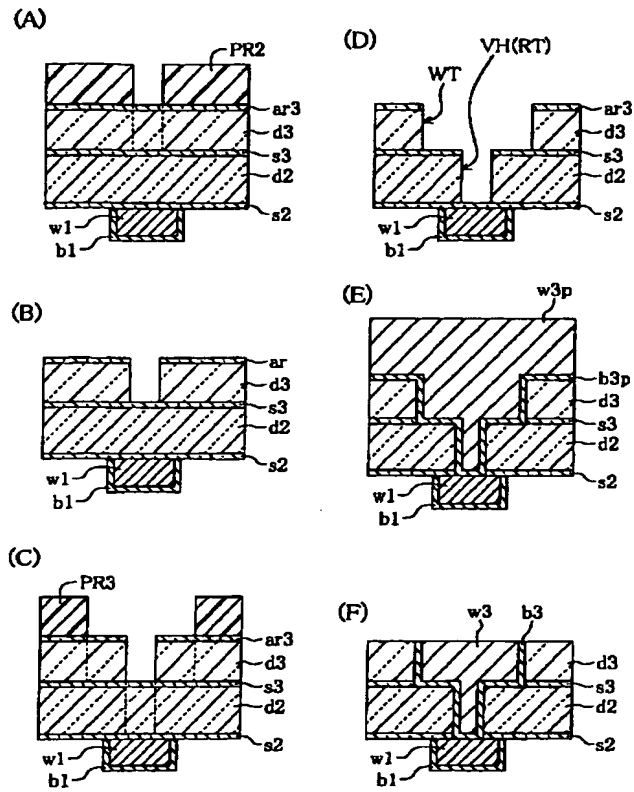
【図6】



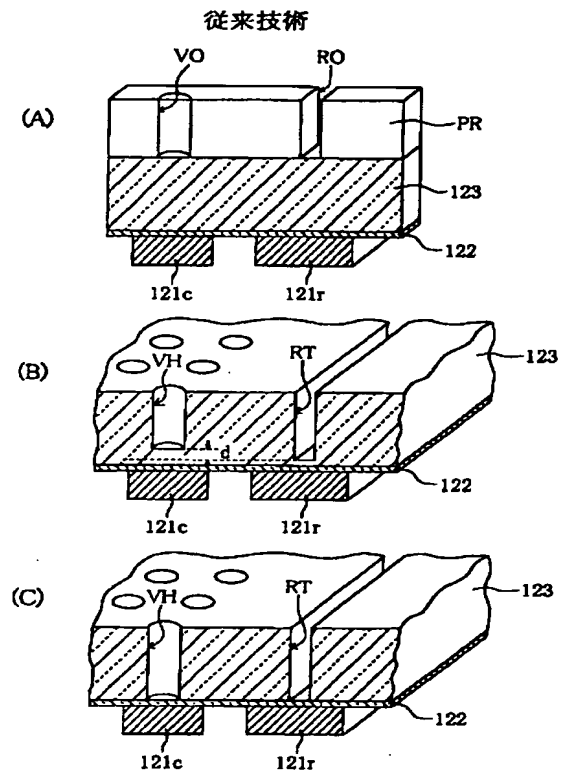
【図7】



【図8】



【図9】



【手続補正書】

【提出日】平成13年3月28日（2001. 3. 28）

【手続補正1】

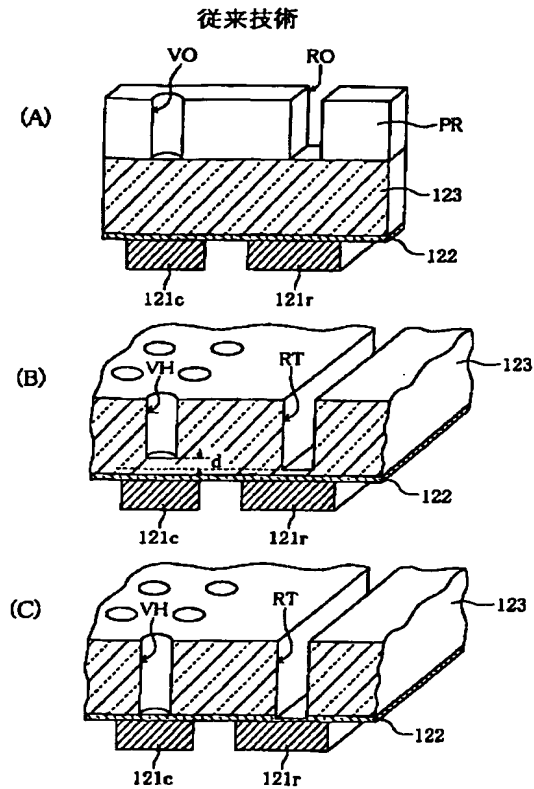
【補正対象書類名】図面

【補正対象項目名】図9

【補正方法】変更

【補正内容】

【図9】



【手続補正書】

【提出日】平成13年8月20日（2001. 8. 20）

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】デュアルダマシンプロセスでは、絶縁層上にビア孔用ホトレジストパターンを形成し、ビア孔をエッチングし、同一絶縁層上に配線パターン溝用ホトレジストパターンを形成し、配線パターン溝をエッチングし、その後同一プロセスでビア孔と配線パターン溝とを埋め戻すCu層を形成し、CMPにより不要Cu層を除去する。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0037

【補正方法】変更

【補正内容】

【0037】グラフから明らかなように、同一のエッチングレートを実現するためには、ビア孔径は耐湿リング溝幅よりも大きな値としなくてはならない。さらに、同一のエッチングレートを実現するビア孔径に対する耐湿リング溝幅の比は、ビア孔径が小さくなるほど小さくな

る。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0038

【補正方法】変更

【補正内容】

【0038】ビア孔のエッチングと耐湿リング溝のエッチングを同等に進行させるには、曲線rqに従ってビア孔径と耐湿リング溝幅とを選択すれば良い。なお、実際にエッチングを行なう場合には、エッチング条件を確立した上で、図2（B）に示すような定量線を求めることが好ましい。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0060

【補正方法】削除

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0063

【補正方法】変更

【補正内容】

【0063】コンタクト用ビア孔、耐湿リング溝形成後、グルー・バリア層50、導電体プラグおよび導電体フェンス用の導電層51が堆積され、第一の層間絶縁膜

47表面上のグルー・バリア層及び導電層はCMPにより除去される。グルー・バリア層は、TiN、TaN等の単一の層で形成しても、グルー用Ti層、バリア用TiN層等の積層で形成しても良い。導電層51は、例えばWで形成される。このようにして、半導体表面にコンタクトする導電体プラグ、絶縁領域41r上の導電性領域44rにコンタクトする導電体フェンスが形成される。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0065

【補正方法】削除

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0068

【補正方法】変更

【補正内容】

【0068】このようにして、回路領域において、バリア層54c、配線層55cで構成された配線パターンが形成され、耐湿リング領域においてはバリア層54r、配線層55rで形成された導電体フェンスが形成される。このようにして、シングルダマシン構造の第1配線層の構造が形成される。シングルダマシン構造ではビア導電体、配線パターン共に側面と底面がバリア層で覆われる。なお、回路領域において、nチャネルMOSトランジスタの一方のソース/ドレイン領域と、pチャネルMOSトランジスタの一方のソース/ドレイン領域とは、第1層配線により相互に接続されCMOSインバータを構成している。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0088

【補正方法】変更

【補正内容】

【0088】図6(C)に示すように、ビア孔(耐湿リング溝)下部に有機物の詰め物ppを装填し、反射防止膜ar3の上に配線パターン溝及び耐湿リング溝に対応する開口を有するレジストパターンPR3を形成する。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0094

【補正方法】変更

【補正内容】

【0094】図7(A)～(F)は、デュアルダマシン配線構造を作成する他の方法を示す断面図である。図7(A)に示すように、バリア層b1、配線層w1で構成される下層配線の上に、厚さ約50nmのSiN層で形成されたエッチングストッパ層s2、厚さ約600nmのFSG層で形成された層間絶縁膜d2、厚さ約50nmのSiN層で形成されたエッチングストッパ層s3、

厚さ約500nmのFSG層で形成された層間絶縁膜d3、厚さ約50nmのSiN層で形成された反射防止膜ar3を積層する。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0104

【補正方法】変更

【補正内容】

【0104】図8(C)に示すように、反射防止膜ar3の上に、配線パターン及び耐湿リング溝に対応する開口を有するレジストパターンPR3を形成する。耐湿リング溝の幅は例えば配線パターン溝の幅と同一である。レジストパターンPR3をエッチングマスクとし、反射防止膜ar3、層間絶縁膜d3のエッチングを行なう。この際、先に形成されたビア孔(耐湿リング溝)の底面に露出しているエッチングストッパ層s3、層間絶縁膜d2も共にエッチングされ、ビア孔が下側に延びる。これらのエッチングは、それぞれエッチングストッパ層s3、エッチングストッパ層s2の表面で停止するように条件が設定される。

【手続補正11】

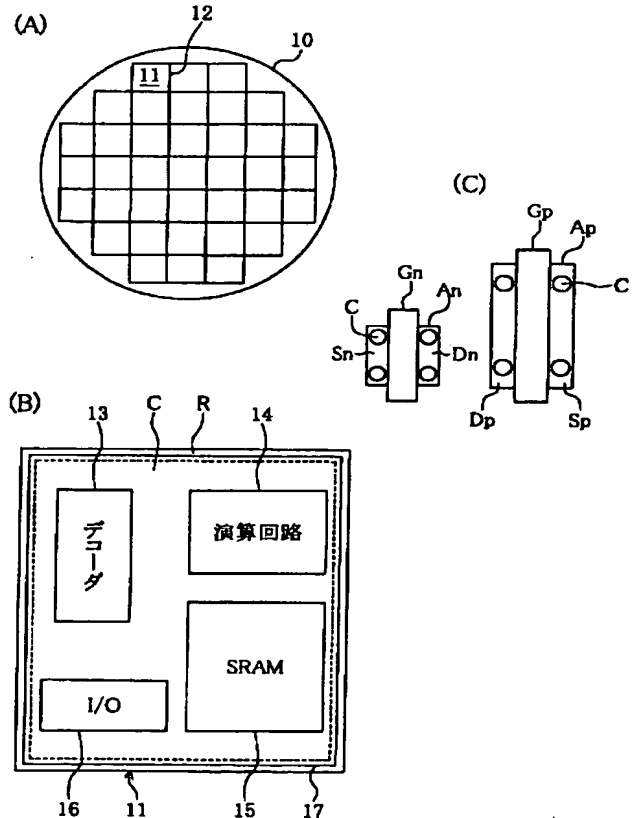
【補正対象書類名】図面

【補正対象項目名】図3

【補正方法】変更

【補正内容】

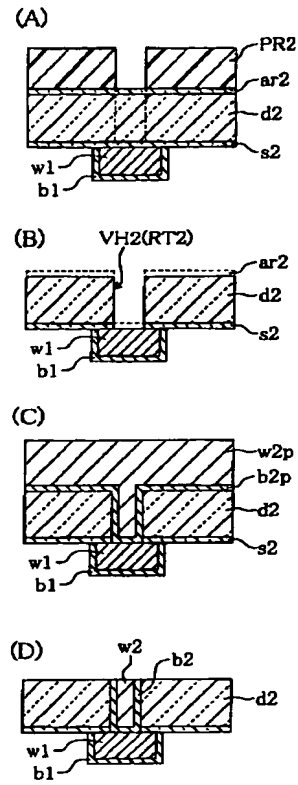
【図3】



【手続補正 1 2】

【補正対象書類名】図面

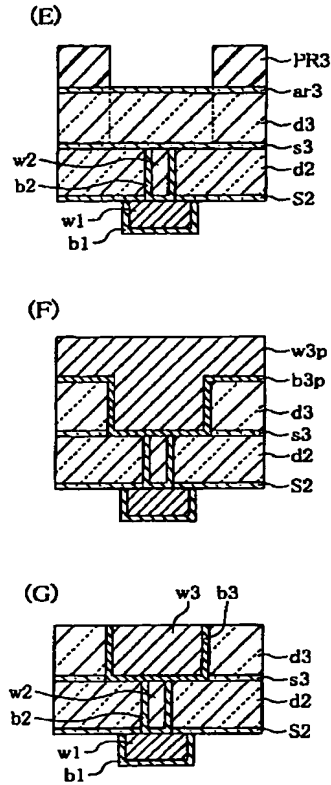
【補正対象項目名】図 5



【補正方法】変更

【補正内容】

【図 5】



【手続補正 1 3】

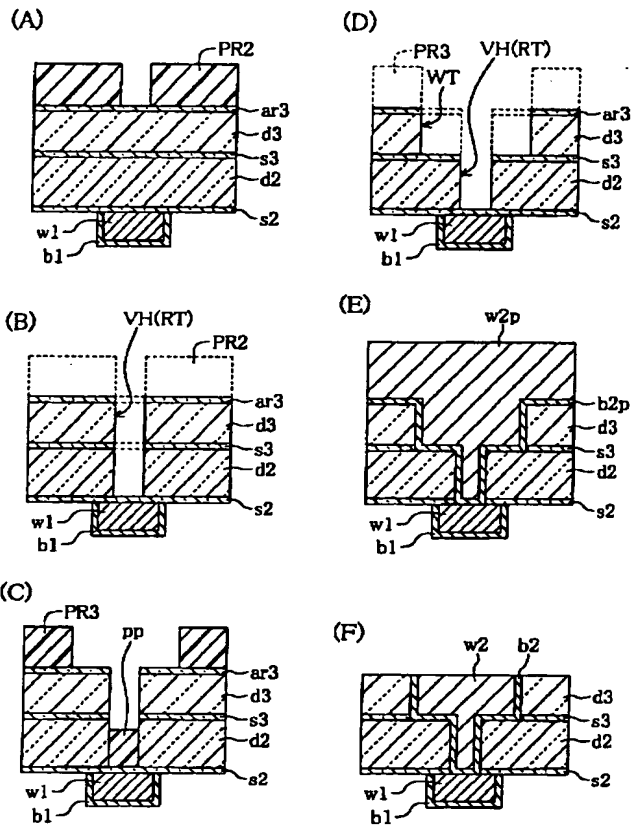
【補正対象書類名】図面

【補正対象項目名】図 6

【補正方法】変更

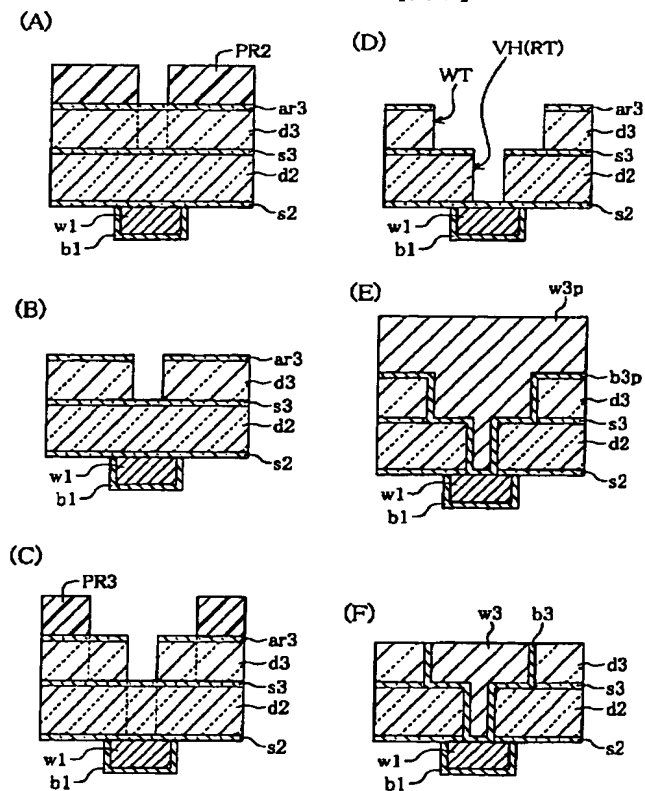
【補正内容】

【図 6】



【手続補正14】
 【補正対象書類名】図面
 【補正対象項目名】図8

【補正方法】変更
 【補正内容】
 【図8】



フロントページの続き

F ターム(参考) 5F033 HH04 HH07 HH08 HH09 HH11
HH13 HH14 HH18 HH19 HH32
JJ07 JJ08 JJ11 JJ18 JJ19
JJ32 JJ33 KK00 KK07 KK08
KK09 KK11 KK13 KK14 KK18
KK19 MM01 MM02 MM05 MM07
NN06 NN07 PP15 PP26 QQ04
QQ09 QQ25 QQ35 QQ37 QQ48
RR01 RR04 RR06 RR11 RR14
RR15 VV00 XX18